

S02：0.18 μm -CMOSプロセスを用いたエネルギーハーベスティング技術での運用を想定した逐次比較型AD変換器の高効率化



田村 喬*, 升井 義博**
 (広島工業大学院 工学系研究科 電気電子工学専攻* 広島工業大学 工学部 電子情報工学科**)

1. はじめに

- IoTの発展に伴い **WSN**が普及
- 無線化した電源を **環境発電**で確保
- 環境発電で **得られる電力は少量**
- 低電圧で動作するAD変換器**が必要

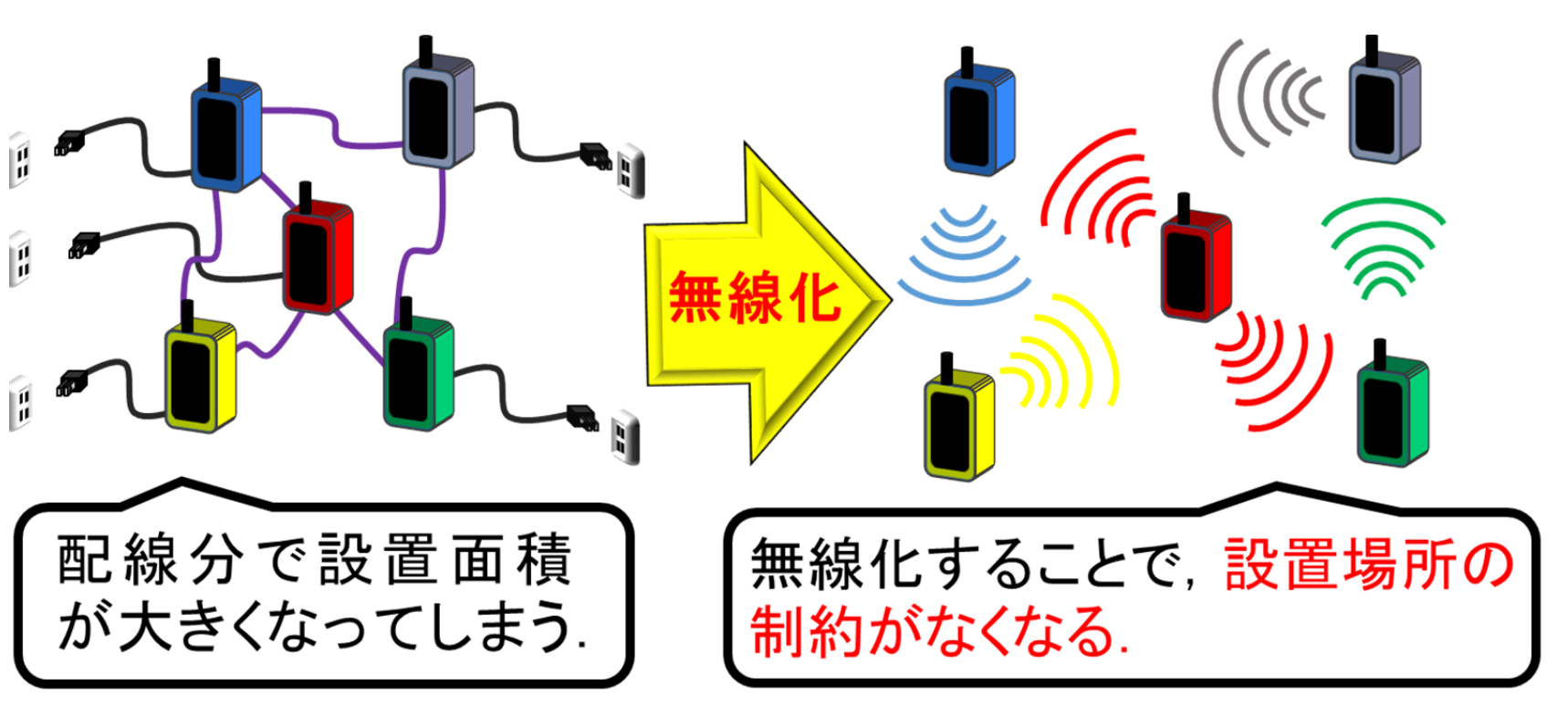


図1. WSNの利点[1]

表1. 環境発電で得られる電力量

エネルギー源	単位面積当たりの発電量[W/cm ²]
振動	100 μ ~1m
光	100 μ
熱	10 μ
電波	1 μ

3. シミュレーション・実測結果

提案回路を設計・レイアウトし, 実測を行った. 測定条件は**電源電圧0.5, 0.6V**, サンプル周波数50kHz, 入力周波数5kHzで出力波形を測定し, FFT解析により, 各指標を算出し評価する. 図4,5にその結果を示す. また, 先行研究との性能比較を表2に示す.

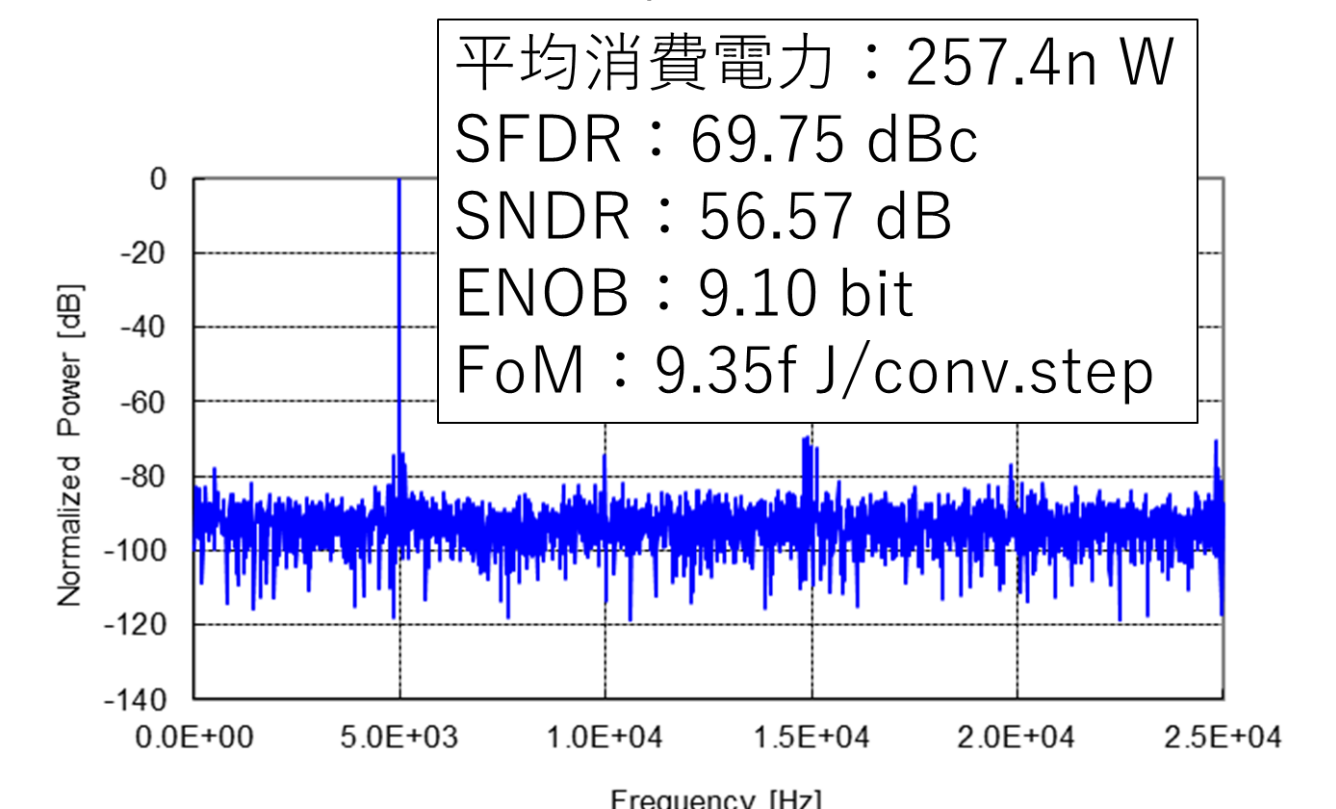
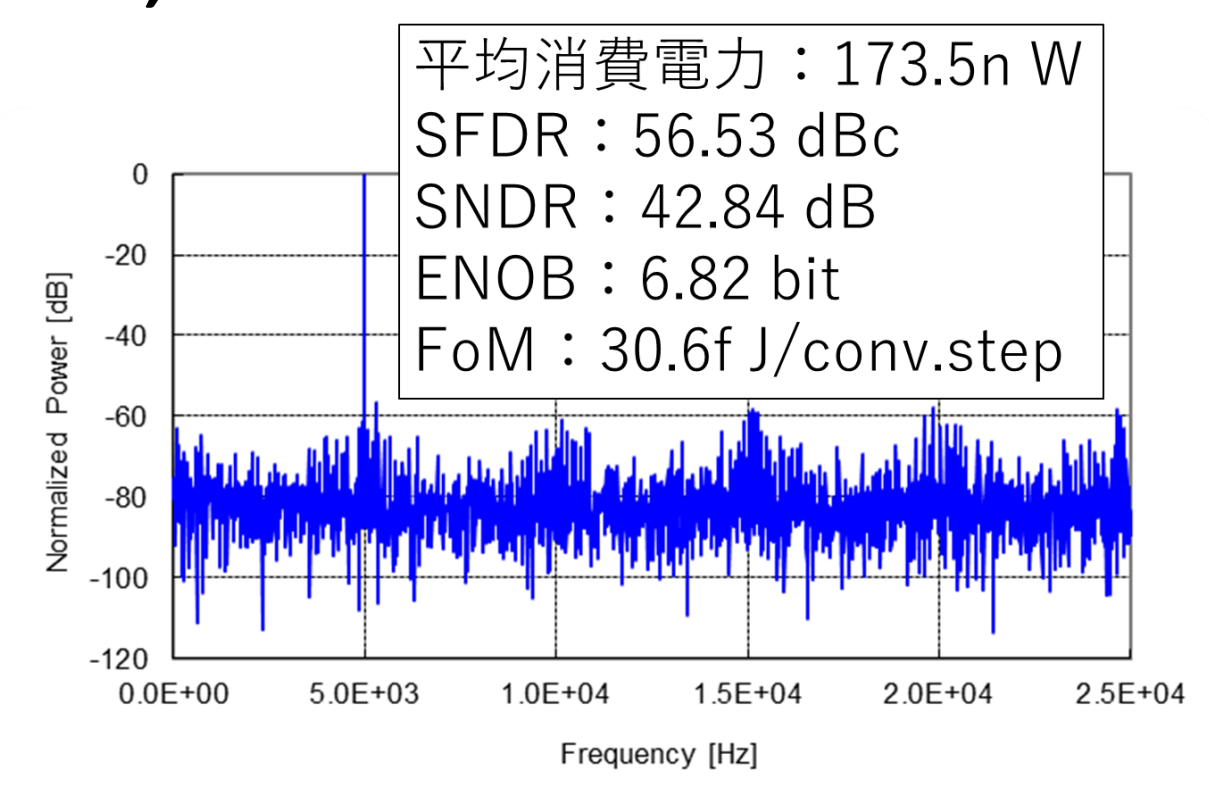


図5. FFT解析結果(VDD:0.5V) 図6. FFT解析結果(VDD:0.6V)

表2. 先行研究との比較

評価方法	2021[1]	2018[2]	提案回路		
	実測	実測	sim	実測	
プロセス [nm]	180	180	180	180	
電源電圧 [V]	1.0	0.6	0.5	0.6	
分解能[bit]	12	8	10	10	
サンプリング周波数 [Hz]	100k	100k	50k	50k	
平均消費電力[W]	830.0n	180n	117.5n	162.0n	257.4n
SNDR[dB]	57.14	42.77	58.28	57.48	56.57
FoM[J/conv.step]	14.1f	16.0f	3.51f	5.30f	9.35f

2. 提案回路

SARADCでは1つの比較器を何度も使用して変換を行うため, 電源電圧の低下や高分解能化等により, 比較器に求められる精度が上昇し, 消費電力や回路面積の増加に繋がってしまう. そこで, **DACを差動化**[2]することで比較時の電位差の増加やキックバックノイズの影響の低減などを試みた. また, 低電圧動作を実現するために, **比較器のグランド側を0V以下に降圧**[1]することにより, 比較用パスの電位差を確保することで, 比較精度の向上を試みた. 本稿では, 上記の工夫により, 分解能を先行研究の8bitから2bit増加した10bitのSARADCの設計・レイアウトを行った.

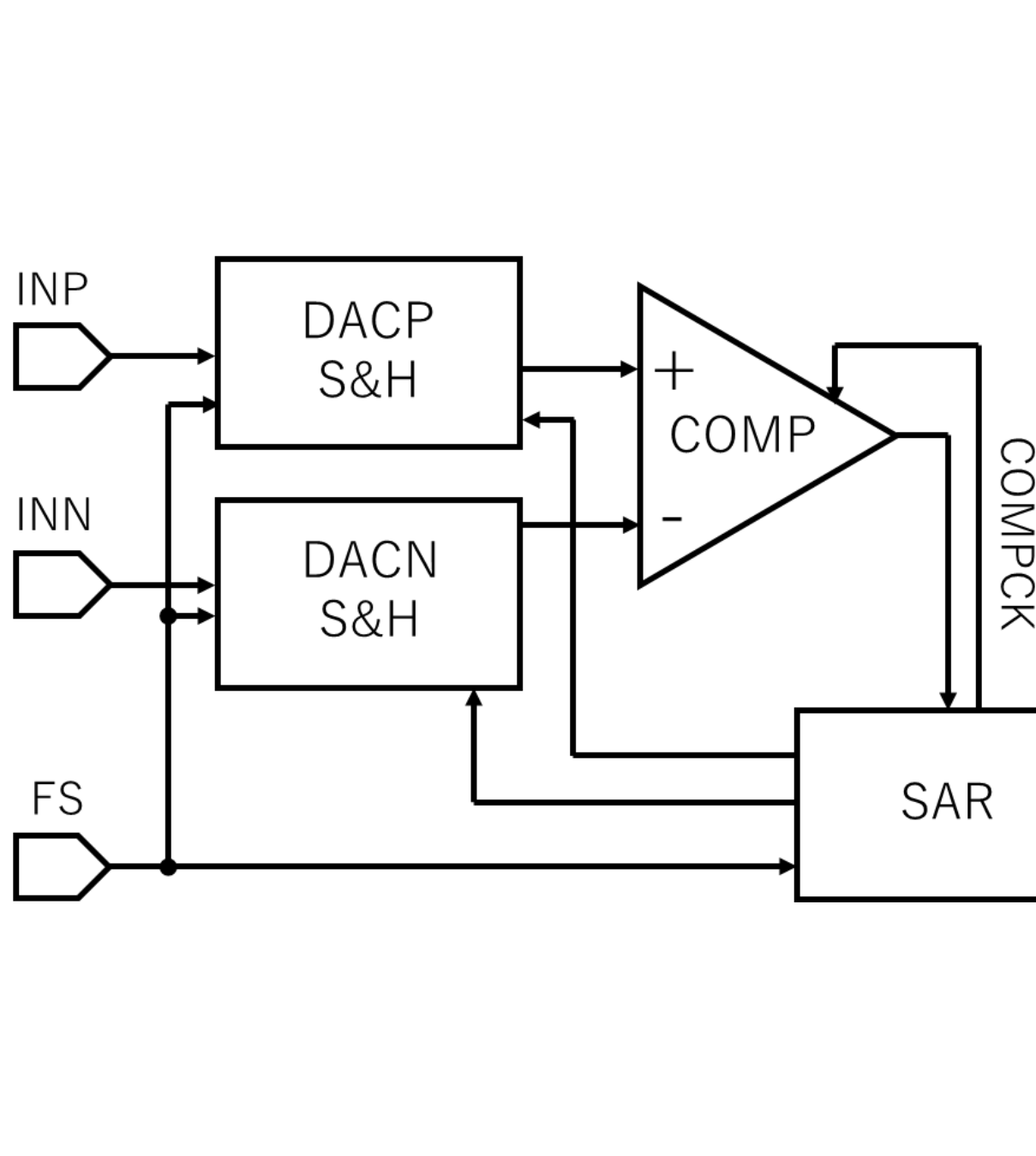


図2. 差動型SARADC

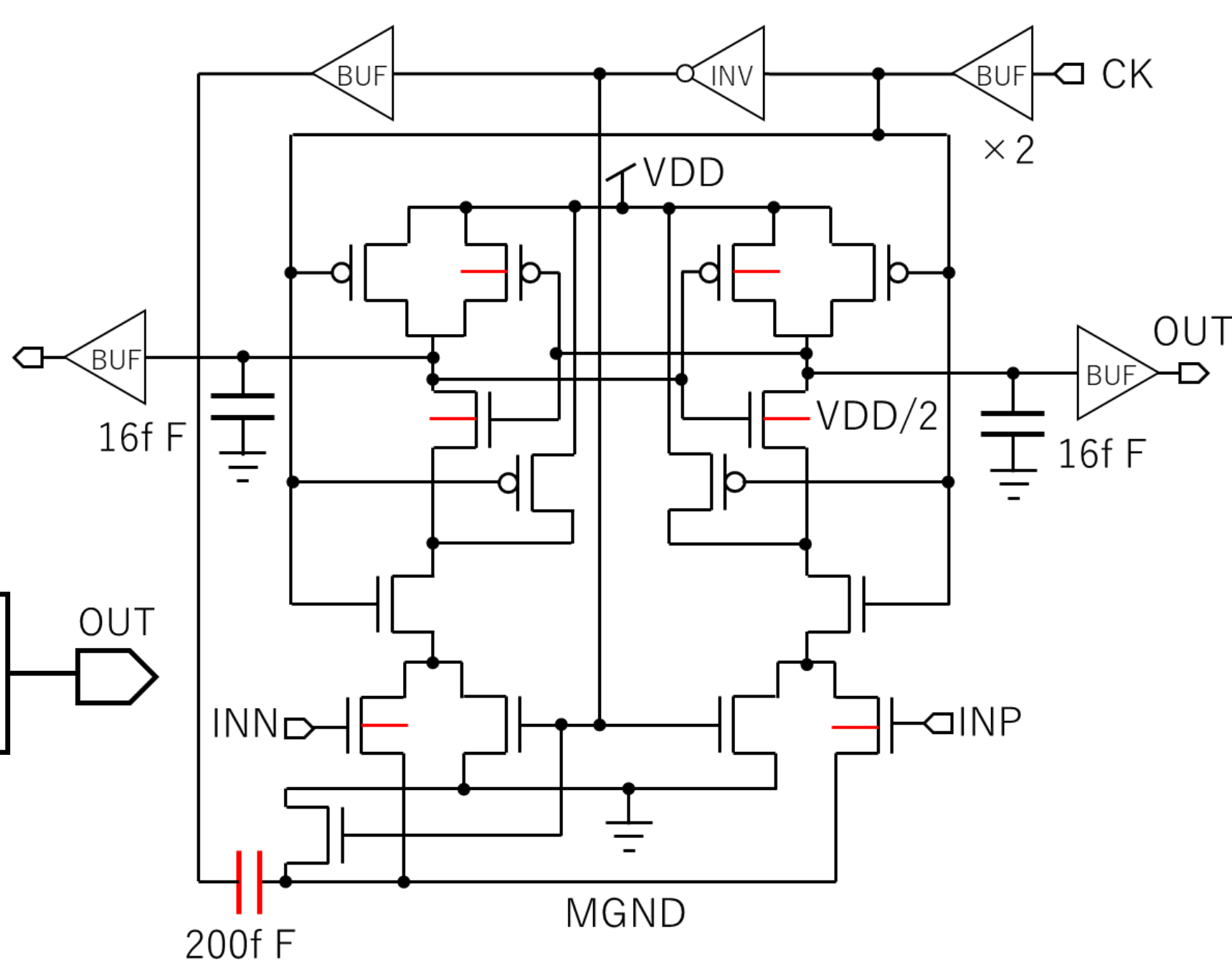


図3. 比較器

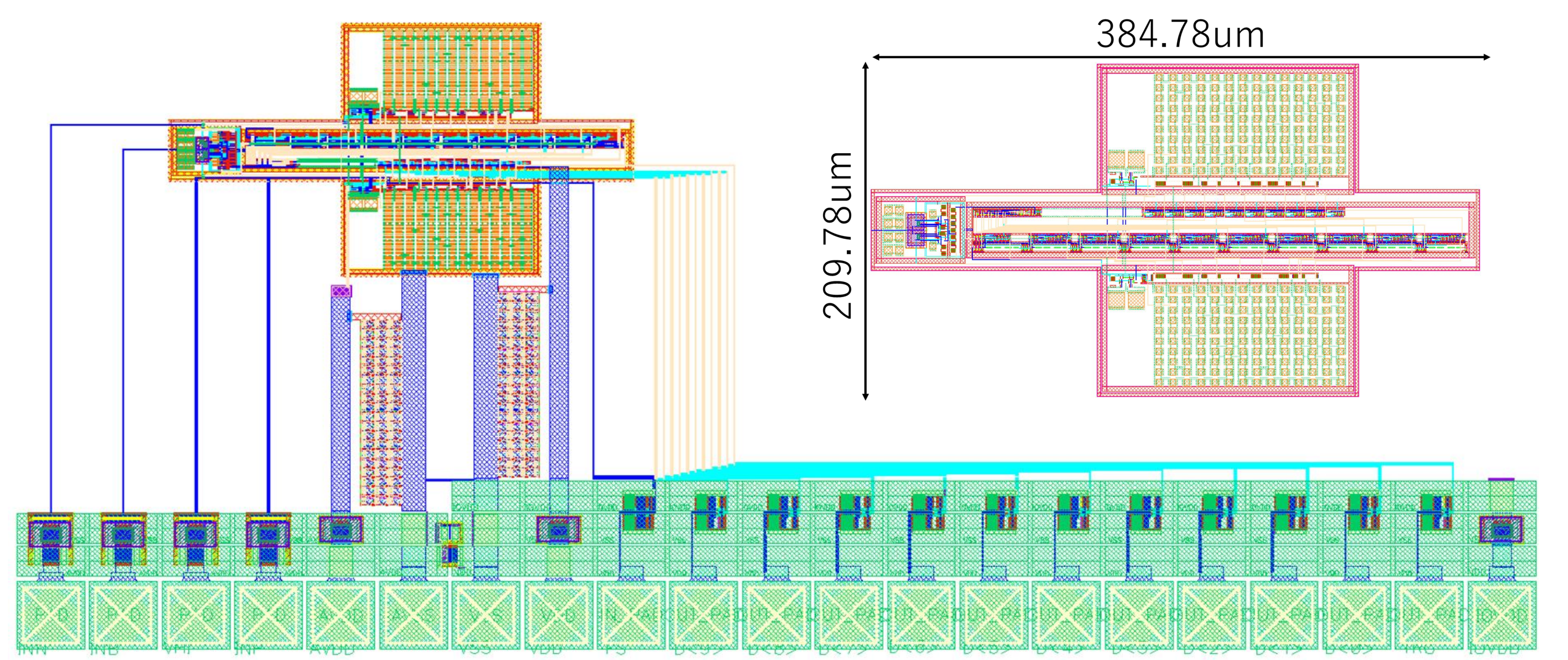


図4. 提案回路レイアウト図

4. むすび

本稿では, **0.5Vという低電圧でも動作可能な逐次比較型AD変換器**を設計した. 提案回路は先行研究と比べ高い性能を示したが, **実測時に大幅に精度が劣化**してしまった. これは寄生容量の影響でレジスタの動作速度が低下(図6)してしまい, 正しい逐次比較が行われなかったことが原因と考えられる. したがってレジスタの駆動力を強化することで, ある程度の改善が見込める.

謝辞

本研究は東京大学d.labにおけるVDEC活動を通して, 日本ケイデンス・デザイン・システムズ社, シーメンスEDAジャパン(株), ローム(株), 凸版印刷(株)の協力, 及びJSPS科研費JP25K07853の助成を受けて行われたものである.

参考文献

- [1]日野翔太: 「逐次比較型AD変換器の低電圧・低消費電力化に関する研究」
- [2]荒川裕貴: 「バイオリギング用データロガーに用いることを想定した逐次比較型AD変換器の高精度化」

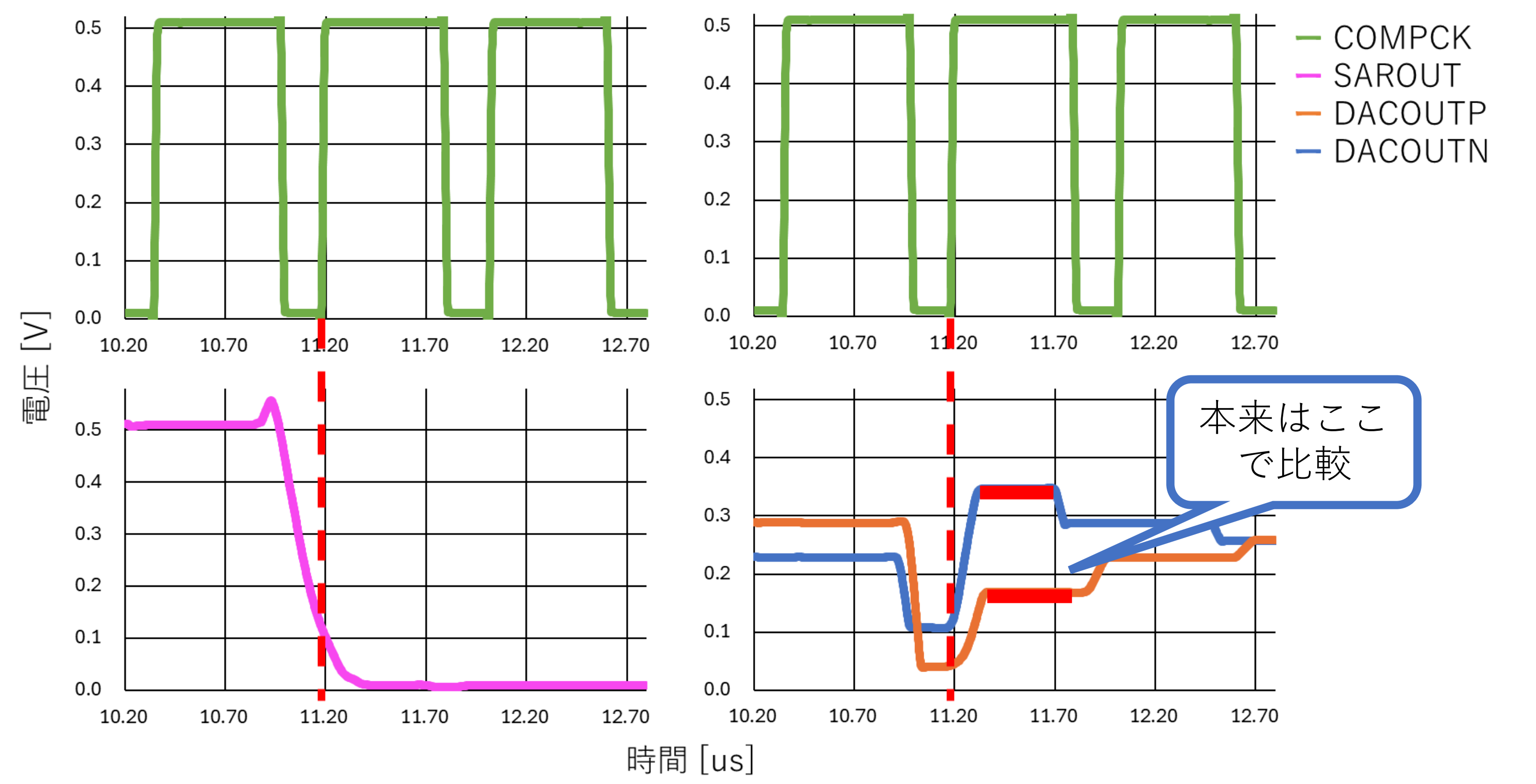


図7. 精度劣化の原因